

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **02-021651**

(43)Date of publication of application : **24.01.1990**

(51)Int.Cl.

H01L 27/102
G11C 17/06

(21)Application number : **63-171327**

(71)Applicant : **RICOH CO LTD**

(22)Date of filing : **09.07.1988**

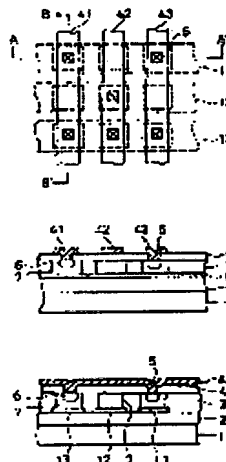
(72)Inventor : **ASAKAWA TOSHIBUMI**
NAKAYAMA HARUO
KOSAKA DAISUKE

(54) MASK ROM

(57)Abstract:

PURPOSE: To increase the degree of integration by not containing MOS transistors in a memory cell, and increase the reading speed by reducing the resistance value of a conductive layer, by boring contact holes in a dielectric layer, according to information to be stored at crossing points of a belt-type conductive layer and a belt-type metal wiring, and forming PN junctions in a single crystal silicon layer of the crossing points in which at least the contact hole is bored.

CONSTITUTION: A single crystal silicon layer 7 exists at crossing parts of conductive layers 11, 12, 13 and metal wirings 41, 42, 43. In order to mutually isolate the single crystal layer 7, trenches are arranged, in which a silicon oxide film 3 is buried. In a silicon oxide film 4, contact holes are arranged according to information to be written. In the part of the silicon oxide film 4 where the contact holes are arranged, P-type impurity is introduced in the single crystal silicon layer 7, and a P-type conductive layer 6 is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-21651

⑪ Int. Cl.³

識別記号

序内整理番号

⑬ 公開 平成2年(1990)1月24日

H 01 L 27/102
G 11 C 17/06

8624-5F H 01 L 27/10 4 3 5
7341-5B G 11 C 17/06 D

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 マスクROM

⑮ 特 願 昭63-171327

⑯ 出 願 昭63(1988)7月9日

⑰ 発 明 者 浅 川 俊 文 東京都大田区中馬込1丁目3番6号 株式会社リコー内
⑱ 発 明 者 中 山 春 夫 東京都大田区中馬込1丁目3番6号 株式会社リコー内
⑲ 発 明 者 小 坂 大 介 東京都大田区中馬込1丁目3番6号 株式会社リコー内
⑳ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号
㉑ 代 理 人 弁 理 士 野 口 繁 雄

明 細 書

1. 発明の名称

マスクROM

2. 特許請求の範囲

(1) 絶縁性下地上に互いに平行に設けられた複数本の高抵抗金属又は高抵抗金属合金の帯状導電層と、この帯状導電層の上部に誘電体層を介して設けられ、互いに平行で、かつ、前記帯状導電層と交差する方向の帯状金属配線と、前記帯状導電層と前記帯状金属配線との交点位置で前記帯状導電層上に設けられた単結晶シリコン層とからなり、前記帯状導電層と前記帯状金属配線との交点には記憶すべき情報に応じて前記誘電体層にコンタクト孔が設けられ、少なくともコンタクト孔が設けられている交点の前記単結晶シリコン層にはPN接合が形成されているマスクROM。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はデジタル情報を記憶するマスクROMに関するものである。

(従来技術)

既存するマスクROMの殆んどは、MOSトランジスタを主構成要素としているので、チャネル領域の確保やチャネルとコンタクトの間の距離の確保などが製造技術上必要であり、セル面積を縮小することが困難であり、また、読出し速度も遅い欠点がある。

そこで、複数本のN型帯状多結晶シリコン層と複数本の帯状導電層とのそれぞれを誘電体層を介して交差させ、その交点に記憶情報に応じて適宜コンタクトを設けるとともに、そのコンタクトを形成した箇所の多結晶シリコン層に逆導電型の不純物を導入してPN接合を形成したマスクROMが提案されている(特公昭61-1904号公報参照)。

(発明が解決しようとする課題)

引例のマスクROMでは一方の帯状導電層として多結晶シリコン層を用いているので、その抵抗値が高く、読出し速度が遅くなる問題がある。

本発明はメモリセル内にMOSトランジスタを

きえないことによって熱抵抗を上げることができるとともに、導電層の抵抗値を下げて誘出し速度を上げたマスクROMを提供することを目的とするものである。

(課題を解決するための手段)

本発明のマスクROMは、絶縁性下地上に互いに平行に設けられた複数本の高融点金属又は高融点金属合金の帯状導電層と、この帯状導電層の上部に誘電体を介して設けられ、互いに平行で、かつ、前記帯状導電層と交差する方向の帯状金属配線と、前記帯状導電層と前記帯状金属配線との交点位置で前記帯状導電層上に設けられた単結晶シリコン層とからなり、前記帯状導電層と前記帯状金属配線との交点には配線すべき情報に応じて前記誘電体層にコンタクト孔が設けられ、少なくともコンタクト孔が設けられている交点の前記単結晶シリコン層にはPN接合が形成されている。

(作用)

本発明では下層の導電層が高融点金属又は高融点金属合金であり、上層の導電層も金属層であり、

が導入されてN型化されている。単結晶シリコン層7の上部にはシリコン酸化膜4を介して金属配線41、42、43が形成されている。金属配線41、42、43はAu又はAu合金にてなり、導電層11、12、13と交差する方向に互いに平行に所定の間隔を保って配置されている。単結晶シリコン層7は導電層11、12、13と金属配線41、42、43との交点部分に存在し、単結晶シリコン層7を互いに分離するために溝が設けられ、その溝にはシリコン酸化膜3が埋め込められている。

シリコン酸化膜4には書き込むべき情報に応じてコンタクト孔が設けられている。シリコン酸化膜4にコンタクト孔が設けられた部分では単結晶シリコン層7にP型の不純物が導入されてP型導電層8が形成されている。P型導電層8を形成するために $2 \times 10^{18} \text{ cm}^{-3}$ 以上のボロン注入が適当である。6は単結晶シリコン層のP型導電層6と金属配線41、42、43とのコンタクトである。

いずれの導電層の抵抗値も低い。

誘電体層にコンタクト孔をあけるかあけないかによって情報の「1」又は「0」を書き込む。

(実施例)

第1図は一実施例を表わす平面図、第2図はそのA-A'線位置での断面図、第3図はそのB-B'線位置での断面図である。

1は単結晶シリコン基板であり、その表面にシリコン酸化膜(SiO₂)2が形成されて絶縁性下地を構成している。シリコン酸化膜2上には互いに平行に設けられた帯状の導電層11、12、13が形成されている。この導電層11、12、13はTi、W、Mo、Pなどの高融点金属又はそれらの合金である高融点金属シリサイドにより、互いに所定の間隔を保って平行に配置されている。これらの導電層11、12、13の厚さは約2000Åである。

導電層11、12、13上には単結晶シリコン層7が約5000Åの厚さに形成されている。単結晶シリコン層7は 10^{18} cm^{-3} 程度のリン

次に本実施例の製造方法について説明する。

第4図に示されるように、単結晶シリコン基板1の表面を酸化して約1μmのシリコン酸化膜2を形成する。その上にタングステンなどの高融点金属をスパッタリング法などにより約2000Åの厚さに堆積し、写真製版とエッチングによりパターン化を施して帯状導電層11、12、13を形成する。その上から減圧CVD法により多結晶シリコン層20を約5000Åの厚さに堆積し、その上にCVD法によりシリコン酸化膜(SiO₂)21を約800Åの厚さに堆積する。さらにその上にシリコン酸化膜22を約1000Åの厚さに堆積し、その表面に冷却媒体としてのポリエチレングリコール23を塗布する。ポリエチレングリコール層23上には光学ガラス板24を載せる。

その後、例えば光出力3W程度のアルゴンイオンレーザービーム26をレンズで集光して多結晶シリコン層20に照射し、レーザービーム26を走査することにより多結晶シリコン層20の溶融部分

25を移動させて結晶成長させ、単結晶シリコン層7を形成する。

その後、光学ガラス板24、ポリエチレングリコール層23、シリコン酸化膜22及びシリコン窒化膜21を除去する。単結晶シリコン層7の所定の箇所をRIEなどでエッチングしてメモリセルを分離するための溝を形成し、その溝にシリコン酸化膜3を埋め込んだ後、被る単結晶シリコン層7に $10^{18}/\text{cm}^2$ 程度のリンを導入してN型化しておく。

その後、単結晶シリコン層7及びシリコン酸化膜3の表面をシリコン酸化膜4で被い、書き込むべき情報に応じてシリコン酸化膜4にコンタクト孔を開け、そのコンタクト孔からP型不純物として例えばボロンを $2 \times 10^{18}/\text{cm}^2$ 以上注入してP型導電層6を形成する。

その後、アルミニウムなどの導電層を堆積し、写真製版とエッチングによりパターン化して金属配線41、42、43を形成する。

その後、パッシベーション膜を形成する。

さを均一にすることができる。

上記の実施例ではシリコン酸化膜4にコンタクト孔を形成した後に単結晶シリコン層7にPN接合を形成しているが、シリコン酸化膜4を形成する前に予め金でのシリコン単結晶層7にPN接合を形成しておいてもよい。このように、予めPN接合を形成しておくことにより、コンタクト工程で情報を書き込むことができ、受注から完成までの期間を短縮することができる。

また、単結晶シリコン層7に形成されるPN接合の方向は、実施例のように上層がP型、下層がN型に限らず、その逆に上層がN型、下層がP型であってもよい。

実施例では絶縁性下地として単結晶シリコン基板の表面をシリコン酸化膜で被覆したものを使用しているが、絶縁性下地は単一の誘電体基板であってもよい。

第1図には簡単な例として3ビット×3ビットのメモリアレイを示している。このメモリアレイの読出し回路を第5図に示す。

第4図の単結晶シリコン層の製造プロセスにおいて、レーザービーム28に代えて、他の光ビームや、電子ビーム、熱線などのエネルギービームを用いることもできる。エネルギービームとしてレーザービームを用いる場合、その照射条件は通電発熱アルゴンイオンレーザーでその光出力が数W~20W程度であり、多結晶シリコン層20でのレーザービーム径は20~100 μm 程度、走査速度は数 $\text{cm} \sim 25 \text{ cm}$ /秒程度である。

冷却媒体としてはポリエチレングリコール23の他に、ポリエチレンエーテル、ポリエチレンエステル、ポリプロピレンオキシドなど一般に表面活性剤として知られるものを使用することができる。

第4図におけるシリコン酸化膜22と光学ガラス板24は焼くてもよいが、ポリエチレングリコール23はシリコン窒化膜21上に直接塗布するよりもシリコン酸化膜22を介して塗布する方が密着性がよくなり、また、光学ガラス板24を脱せることによりポリエチレングリコール層23の厚

メモリアレイ(MA)では、導電層11、12、13と金属配線41、42、43との交点にコンタクト5が存在する箇所は情報として「1」、コンタクト5の存在しない箇所は情報として「0」が対応しており、コンタクト5がある交点はコンタクト6を介してPN接合が接続されているのでダイオード30として振舞うことができる。第5図のメモリアレイ(MA)の部分は第1図に対応している。

導電層11、12、13はそれぞれマルチプレクサの読出しトランジスタ31、32、33を介して読出しインバータ回路28に接続されている。読出しインバータ回路28の入力端は高抵抗端子27によりグランド端子(GND)にプルダウンされている。

第5図の読出し回路において、例えばメモリアレイの左上端のビットB1を読み出す場合は、左端の金属配線41にのみ電位(例えば5V)を与えて他の金属配線42、43は0V(GND)又はオープンとし、また上端の読出しトランジスタ

31のみをオンとする。このとき、ビットB1のダイオード30によって読出しインバータ回路28の入力は「1」となり、出力信号は「0」となる。

また例えば、メモリアレイの中央上端のビットB2を読出す場合は、中央の金属配線42にのみ電位を与えるとともに、上端の読出しトランジスタ31のみをオンとする。このときはビットB2位置にはコンタクトが存在しないので上端の導電層11はオープンとなるが、高抵抗素子27の存在によって読出しインバータ28の入力は「0」となり、「1」が出力される。このようにしてメモリアレイの内容が適宜読み出される。

第1図の実施例とは導電型を逆にし、すなわち単結晶シリコン層7をP型、拡散領域8をN型とした場合の読出し回路を第6図に示す。

この場合、高融点金属又は高融点金属合金の導電層11a、12a、13aとA1やA2合金などの金属配線41a、42a、43aの交点のコンタクトで形成されるダイオード30a、30a。

例の製造途中の状態を示す断面図。第6図及び第6図はそれぞれ実施例の読出し回路を示す回路図である。

1……単結晶シリコン基板、2、3、4……シリコン酸化膜、5……コンタクト、6……P型拡散領域、7……N型単結晶シリコン層、11、12、13……帯状導電層、41、42、43……金属配線。

特許出願人 株式会社リコー
代理人 弁護士 野口英樹

……は第5図のものとは逆方向となる。そしてマルチプレキサの読出しトランジスタ31a、32a、33aは第5図とは逆にP型MOSトランジスタになり、読出しインバータ回路28の入力部に接続される高抵抗素子27aは電源電圧端子(Vcc)に接続されてプルアップされる。

(発明の効果)

本発明では下層の帯状導電層と上層の金属配線との交点の単結晶シリコン層のPN接合と、金属配線と単結晶シリコン層とのコンタクトの有無により情報を書き込むようにしたので、メモセルの占める面積がMOSトランジスタを用いた従来のマスクROMに比べて素密度を高めることができ、かつ、上層の金属配線と上層の導電層がいずれも低抵抗の金属層であるので、読出し速度が速くなる。

4. 図面の簡単な説明

第1図は一実施例を要する平面図、第2図は第1図のA-A'線位置での断面図、第3図は第1図のB-B'線位置での断面図、第4図は一実施

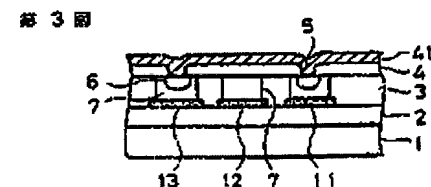
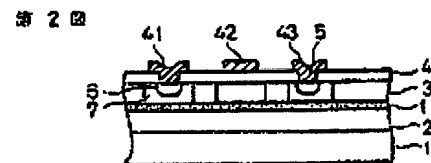
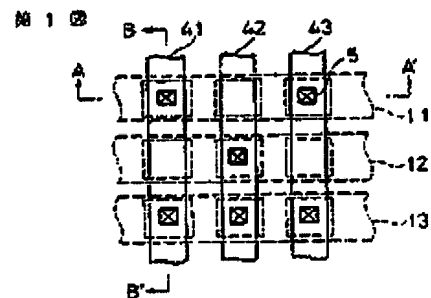


図 4 図

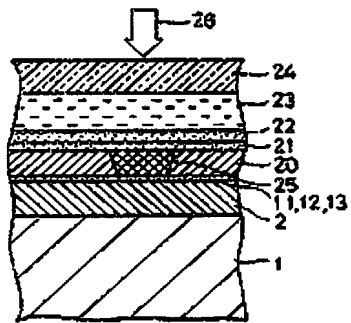


図 5 図

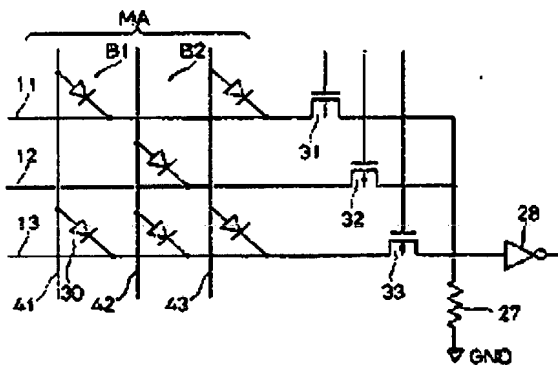


図 6 図

